

⑫ 公開特許公報(A)

昭62-66619

⑤ Int. Cl.

識別記号

庁内整理番号

⑬ 公開 昭和62年(1987)3月26日

H 01 L 21/20
21/324
21/76
29/78

7739-5F

M-7131-5F

8422-5F

審査請求 未請求 発明の数 1 (全3頁)

⑭ 発明の名称 半導体装置の製造方法

⑮ 特 願 昭60-208417

⑯ 出 願 昭60(1985)9月19日

⑰ 発 明 者 笠 井 直 記

東京都港区芝5丁目33番1号 日本電気株式会社内

⑱ 出 願 人 日本電気株式会社

東京都港区芝5丁目33番1号

⑲ 代 理 人 弁理士 内 原 晋

明 細 書

1. 発明の名称

半導体装置の製造方法

2. 特許請求の範囲

(1) シリコン基板上に半導体素子を分離するシリコン酸化膜パターンを形成し、シリコン酸化膜上には堆積することなく表出したシリコン面のみ選択的にシリコンをエピタキシャル成長させ、前記エピタキシャルシリコン層を半導体素子活性領域とする半導体装置の製造方法において、エピタキシャル成長後に、シリコンをイオン注入し、つづいてアニールすることを特徴とする半導体装置の製造方法。

3. 発明の詳細な説明

〔産業上の利用分野〕

本発明はシリコン基板上に絶縁膜パターンを形成し、開口されたシリコン面にシリコンをエピタキシャル成長し、Siエピタキシャル層に半導体素子を形成する半導体装置の製造方法に関する。

〔従来の技術〕

近來、半導体デバイスにおける集積化が進み、能動素子の微細化とともに素子間分離領域においても同様に微細化の要求がある。微細で深い素子分離領域を形成する方法として、たとえば、エンドー等によりアイイーイーイーートランザクシオンズオンエレクトロニクス(IEEE TRANSACTIONS ON ELECTRON DEVICES)第ED-31巻の1283ページから1288ページに発表された論文において次の方法が紹介されている。すなわち、第2図(a)に示すように、シリコン基板21上に約2μmのSiO₂膜22を堆積し、リソグラフィ技術と反応性イオンエッチング技術によりあらかじめ素子分離領域となる絶縁膜パターンを形成する。次に、CVD法によりSi₃N₄膜あるいは多結晶Si膜23を約1000Å堆積し、反応性イオンエッチングして絶縁膜側壁にのみSi₃N₄膜または多結晶シリコン膜23を残す(第2図(b))。この絶縁膜上に堆積することなく表出したSi単結晶面のみ選択的にSiを堆積し、そのSi層24の堆積厚さを絶縁膜と同等にすると第2図(c)に示す半導体基板が得られる。

〔発明が解決しようとする問題点〕

ところで、前記方法を用いて、たとえば絶縁膜側壁に多結晶シリコン膜を形成すると、得られた半導体基板は平坦となるが、絶縁膜近傍に積層欠陥が発生しやすくなり、エピタキシャル層上に形成されたMOSトランジスタのリーク電流が大きくなるという欠点がある。また、絶縁膜側壁に Si_3N_4 膜を形成したりあるいは薄膜を形成せずにエピタキシャル層を堆積し、絶縁膜のパターン方向を基板 Si 面に対し $\langle 100 \rangle$ とすると、矩形角部を除いて平坦なエピタキシャル層が得られ、しかも積層欠陥の少ないものが得られる。しかし、絶縁膜とエピタキシャル層との界面において、単結晶シリコンを熱酸化によって形成される Si-SiO_2 界面に比べて乱れたものとなり、界面準位ができる。そのため $p-n$ 接合が界面に形成された場合にはリーク電流が大きくなる欠点があった。

本発明は、前記問題点を解決し、絶縁膜とエピタキシャル Si との界面を良好にすることで、界面における接合リーク電流を減少させることを目的とする。

〔実施例〕

以下、本発明の実施例について図面を用いて詳細に説明する。第1図(a)~(f)は本発明の実施例を説明するために、主な製造工程における断面構造を示す模式図である。第1図(a)において、面方位 (100) の p 形シリコン基板1に熱酸化により約 $1.5\mu\text{m}$ 厚さのシリコン酸化膜を形成した後通常の写真蝕刻技術と反応性イオンエッチングにより素子分離領域となる垂直断面をもつ SiO_2 膜パターン2を形成する。次に、第1図(b)において、 SiH_2Cl_2 と H_2 から構成されるガス系に HCl を約1vol%程度加え、 950°C の温度でシリコン基板表面にのみ選択的にシリコンをエピタキシャル成長させ、エピタキシャル Si 層3の堆積厚さを $1.5\mu\text{m}$ とする。第1図(c)において、シリコンを加速エネルギーが 150keV と 50keV でそれぞれ $1 \times 10^{15}\text{cm}^{-2}$ 注入して非晶質層4とする。第1図(d)において、 900°C N_2 雰囲気中で30分間アニールした後、 950°C O_2 雰囲気中で 200\AA のゲート酸化膜5を形成する。第1図(e)において、ホウ素を加速エネルギー 30keV で 1.2×10^{12}

とする。

〔問題点を解決するための手段〕

本発明は、シリコン基板上に半導体素子を分離するシリコン酸化膜パターンを形成し、シリコン酸化膜上には堆積することなく表出したシリコン面にのみ選択的にシリコンをエピタキシャル成長させ、前記エピタキシャルシリコン層を半導体素子活性領域とする半導体装置の製造方法において、エピタキシャル成長後にシリコンをイオン注入し、つづいてアニールすることを特徴とする半導体装置の製造方法である。

〔作用〕

本発明の方法により、イオン注入されたエピタキシャルシリコン層および Si と SiO_2 との界面が非晶質化され、続いてアニールすることによりエピタキシャル層のシリコンが再配列すると同時に Si と SiO_2 との界面が熱酸化したときに得られるような良質の界面状態に近いものとなって、エピタキシャル Si 層を用いて半導体素子を形成した場合、絶縁膜側壁でのリーク電流は減少する。

cm^{-2} と加速エネルギー 100keV で $2 \times 10^{12}\text{cm}^{-2}$ の二重注入し、減圧CVD法により多結晶シリコン膜を厚さ約 $0.5\mu\text{m}$ 堆積し、写真蝕刻技術とドライエッチング法によりゲート電極6を形成し、ヒ素を加速エネルギー 150keV で $5 \times 10^{15}\text{cm}^{-2}$ 注入してソースドレイン7を形成する。次にCVD法により SiO_2 膜8を約 5000\AA 堆積した後、反応性イオンエッチング法によりコンタクトホールを形成し、アルミニウム配線を行なうことで第1図(f)に示すような n チャネルMOSFETが得られる。

以上実施例ではシリコンイオン注入量を $1 \times 10^{15}\text{cm}^{-2}$ とし加速エネルギーを 150keV と 50keV としたが、ソースドレイン深さの領域が非晶質化されればこれに限定されるものではない。また、熱処理を 900°C N_2 雰囲気中で30分としたが、非晶質層が再結晶化されればこれに限定するものでない。

〔発明の効果〕

本発明によればエピタキシャル Si 層と SiO_2 膜との界面状態が熱酸化した場合と同等となり、その結果、エピタキシャル成長層に形成される半導

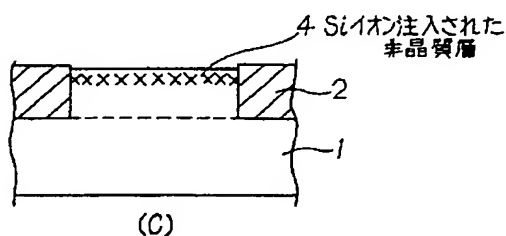
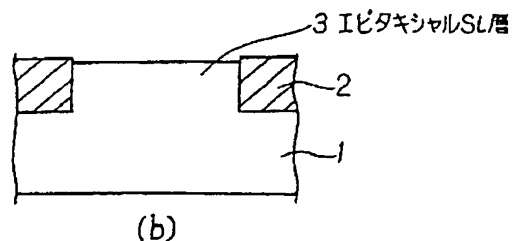
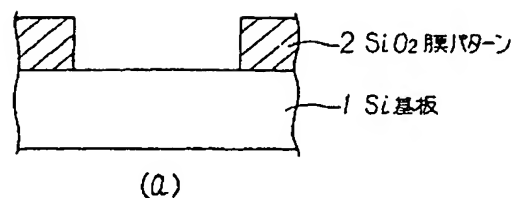
体素子において界面におけるリーク電流を減少させることができる。したがって、選択エピタキシャル成長を利用した微細素子分離を用いて得られる高密度半導体装置の製造歩留りを向上できる効果を有するものである。

4. 図面の簡単な説明

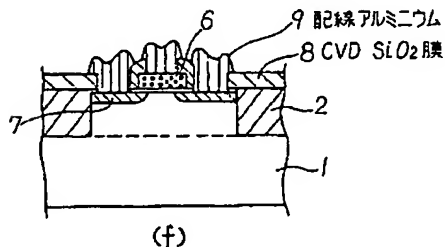
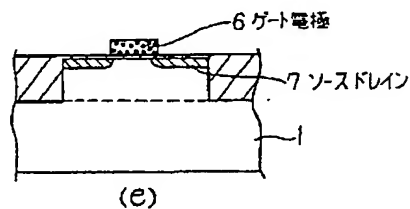
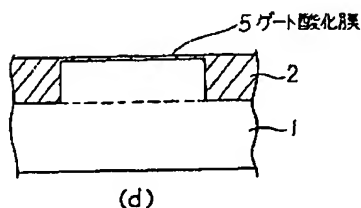
第1図(a)~(f)は本発明の実施例におけるnチャネルMOSトランジスタの形成プロセスを順を追って示した模式図、第2図(a)~(c)は従来法を工程順に示す模式図である。

1, 21 ... Si基板、2, 22 ... SiO₂膜パターン、3, 24 ... エピタキシャルSi層、4 ... Siイオン注入された非晶質層、5 ... ゲート酸化膜、6 ... ゲート電極、7 ... ソース・ドレイン、8 ... CVD SiO₂膜、9 ... 配線アルミニウム、23 ... Si₃N₄膜または多結晶Si膜。

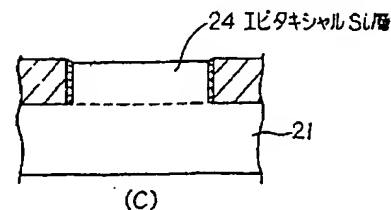
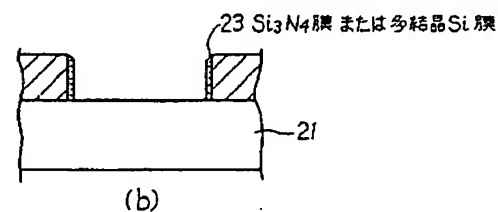
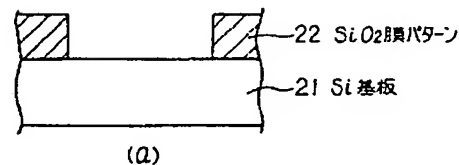
特許出願人 日本電気株式会社
代理人 弁理士 内 原 晋



第1図



第1図



第2図

THIS PAGE BLANK (USPTO)